

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

⑫ 公開特許公報 (A)

平3-103778

⑬ Int. Cl. 5

G 01 R 31/28
G 06 F 11/22

識別記号

3 6 0 P

庁内整理番号

7343-5B
6912-2G

⑭ 公開 平成3年(1991)4月30日

G 01 R 31/28

G

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 スキャン回路アクセス装置

⑯ 特願 平1-241322

⑰ 出願 平1(1989)9月18日

⑱ 発明者 進藤 達也 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑲ 発明者 渋谷 利行 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代理人 弁理士 井島 藤治 外1名

明細書

1. 発明の名称

スキャン回路アクセス装置

2. 特許請求の範囲

アクセス対象となるスキャン設計されたLSI部(1)と、

1ビット幅で全スキャンレジスタ数以上のワード数を持ち、LSI部(1)にダウンロードすべきデータ或いはLSI部(1)からアップロードしたデータを保持するメモリ(10)と、

その入力部及び出力部がそれぞれLSI部(1)のスキャン出力及びスキャン入力と接続されてしS1部(1)内部のスキャンレジスタをリング状に接続し、外部データ入力、メモリ(10)出力及びLSI部(1)のスキャン出力を受けてそのうちの1つをセレクトするセレクタ(21)、該セレクタ(21)の出力を保持するレジスタ(3)を具備し、該レジスタ(3)の出力は外部から直接読み出されるようになっており、またメモリ(10)及びLSI部(1)に入力されるようになっ

ているアクセス用レジスタ部(20)とにより構成されてなるスキャン回路アクセス装置。

3. 発明の詳細な説明

【概要】

スキャン設計されたLSI部に対するスキャン回路アクセス装置に関し、

スキャンレジスタ回路からのデータの高速読み出し及びスキャンレジスタ回路への高速書き込みが行えるようにすることを目的とし、

アクセス対象となるスキャン設計されたLSI部と、1ビット幅で全スキャンレジスタ数以上のワード数を持ち、LSI部にダウンロードすべきデータ或いはLSI部からアップロードしたデータを保持するメモリと、その入力部及び出力部がそれぞれLSI部のスキャン出力及びスキャン入力と接続されてLSI部内部のスキャンレジスタをリング状に接続し、外部データ入力、メモリ出力及びLSI部のスキャン出力を受けてそのうちの1つをセレクトするセレクタ、該セレクタの出力を保持するレジスタを具備し、該レジスタの出

力は外部から直接読出されるようになっており、またメモリ及びLSI部に入力されるようになっているアクセス用レジスタ部とにより構成される。

【産業上の利用分野】

本発明はスキャン設計されたLSI部に対するスキャン回路アクセス装置に関する。

ディジタル回路のLSIでは、ハードウェアの故障診断のために、レジスタとしてスキャンレジスタを用いて設計がなされる。スキャンレジスタとは、通常の動作時には普通のレジスタとして動作し、スキャンモード時には全スキャンレジスタが1つのシフトレジスタとして外部からアクセスできるようになるものである。このスキャンレジスタに外付けの回路を附加することで、LSIをシステムに組込んだ状態で、LSI内部のレジスタに外部からデータのアクセスを行う使いができる。例えば、LSIの内部状態の初期化やデバッグのための内部状態のダンプにも用いることができるようになっている。

には、その値が丁度外付けのレジスタ3に入るよう必要な回数だけスキャンロックを与えてシフトさせ、レジスタ3の内容をデータ出力として読み出す。読み出しが終了したら、LSI部1の内部状態を元に戻すため、外付けのレジスタ3の値が元あったスキャンレジスタに戻るまでスキャンロックを与えてシフトさせている。

また、任意のスキャンレジスタに値を書込む場合には、先ず読み出しの場合と同様に、その値が丁度外付けのレジスタに3に入るまでシフトさせ、そこで書込むべきデータの値をセレクタ2をデータ入力側に設定してレジスタ3に入れ、その後、外付けのレジスタ3の値が再び元のスキャンレジスタの位置に戻るのに必要な回数だけスキャンロックを与えてシフトさせるようになっている。

【発明が解決しようとする課題】

従って、従来の方式ではLSI内部のスキャンレジスタ1つにアクセスする毎に、(全スキャンレジスタ数+1)のシフト、即ち(全スキャンレジ

【従来の技術】

第4図は従来方式の構成ブロック図である。図において、1はスキャン設計されたLSI部でスキャンロックを受けて、スキャン入力SINにデータを受け、スキャンアウトSOUTからシリアルデータを出力する。データの入力と出力は、いずれもスキャンロックに同期してなされる。2はデータ入力とLSI部1のスキャン出力を受ける2入力のセレクタ、3は該セレクタ2の出力を受けるレジスタである。

レジスタ3の出力はデータ出力として外部に取出されるようになっており、かつLSI部1のスキャン入力SINに入力データとして入っている。つまり、従来の方式は、図に示すように外付けのレジスタ3とセレクタ2を用意することにより、そのレジスタ3を通してLSI部1の内部のスキャンレジスタがリングを形成するように構成される。このように構成された回路の動作を説明すれば、以下のとおりである。

任意のスキャンレジスタの内容を読みたい場合

ジスタ+1)だけのスキャンロック数に相当する時間が必要であり、LSI部1の内部状態の初期化やデバッグのためにLSI部1の内部状態の読み出しに時間がかかるという不具合があった。

本発明はこのような課題に鑑みてなされたものであって、スキャン回路からのデータの高速読み出し及びスキャン回路への高速書き込みが行えるようにすることができるスキャン回路アクセス装置を提供することを目的としている。

【課題を解決するための手段】

第1図は本発明の原理ブロック図である。第4図と同一のものは、同一の符号を付して示す。図において、1はアクセス対象となるスキャン設計されたLSI部、10は1ビット幅で全スキャンレジスタ数以上のワード数を持ち、LSI部1にダウンロードすべきデータ或いはLSI部1からアップロードしたデータを保持するメモリである。20はその入力部及び出力部がそれぞれLSI部1のスキャン出力及びスキャン入力と接続されて

LSI部1内部のスキャンレジスタをリング状に接続し、外部データ入力、メモリ10出力及びLSI部1のスキャン出力を受けてそのうちの1つをセレクトするセレクタ21。該セレクタ21の出力を保持するレジスタ3を具備し、該レジスタ3の出力は外部から直接読出されるようになっており、またメモリ10及びLSI部1に入力されるようになっているアクセス用レジスタ部である。

【作用】

スキャンレジスタを初期化する場合には、メモリ10に先ず書込んでいたデータをLSI部1のスキャンレジスタにダウンロードし、スキャンレジスタの内部状態を読出す場合にはスキャンレジスタの内容をメモリ10にアップロードする。メモリ10をRAMで構成しておけば、アップロードした後のメモリ10の任意のアドレスのデータは容易に読出しができる。従って、本発明によればスキャンレジスタ回路からのデータの高速読出し及びスキャンレジスタ回路への高速書込み

ため、スキャンコントローラ30はアクセスアドレスとして与えられた値を内部レジスタにラッチしたものとメモリアドレスとしてメモリ10に与え、同時にメモリ10にライトインエーブル(WE)信号を与える。また、アクセス用レジスタ部20では、セレクタ21がデータ入力をセレクトし、レジスタ3でラッチしたデータをメモリ10のデータ入力INに与える。

次に、メモリ10に書込まれた初期化用のデータをLSI部1のスキャンレジスタにダウンロードする。この時、スキャンコントローラ30はスキャンレジスタ数をメモリアドレスとして出力してメモリ10の内容を読出し、その後、メモリアドレスが0になるまで毎クロックカウントダウンし、次々に値を読出す。また、LSI部1にスキャンロックを与えてシフトしていく。

この時、セレクタ21はメモリ10の出力OUTをセレクトしているので、セレクタ21を通ったデータはレジスタ3に保持され、LSI部1のスキャン入力SINに入る。この結果、メモリ1

が行えるようにすることができるスキャン回路アクセス装置を提供することを目的としている。

【実施例】

以下、図面を参照して本発明の実施例を詳細に説明する。

第2図は本発明の一実施例を示す構成ブロック図である。第1図と同一のものは、同一の符号を付して示す。図において、30はLSI部1にスキャンロックを与えると共に、メモリ10のデータ書込みと読出しを制御するスキャンコントローラである。該スキャンコントローラ30には、アップロードとダウンロードの切換え制御を行うコントロール信号CONTROLと、アクセスアドレスが入力され、アップロードを示すフラグACKが出力される。このように構成された回路の動作を説明すれば以下のとおりである。

(ダウンロード時)

先ず、各スキャンレジスタに対応するメモリ10の各アドレスに初期化すべき値を書込む。この

0に格納されている初期化用データは、順次スキャンロックに同期してLSI部1に入力されることになる。

第3図(イ)はダウンロード時のタイムチャートで、スキャンレジスタがSR1～SR4の4個の場合を例にとっている(現実の回路では数百～数千)。これに応じて、メモリ10のサイズは1ビット×5ワード(W)とする。スキャンレジスタはSIN側からSOUT側に向かって順にSR1, SR2, SR3, SR4と呼ぶことにする。(イ)はメモリアドレスで最初に最大値4がセットされ、順次減少していくようになっている。このメモリアドレスの変化は、(チ)に示すスキャンロックに対応している。1スキャンロック分遅れてレジスタ3には(ロ)に示すように外部からのデータがD4, D3, D2, D1と保持され、D4から順にスキャンレジスタSR1, SR2, SR3, SR4に(ハ)～(ヘ)に示すようにデータが入っていく。この結果、最終的にはスキャンレジスタSR1にデータD1が、SR2に

データD2が、SR3にデータD3が、SR4にデータD4が格納される。この最終状態で、(ト)に示すようにACK信号がそれまでの“1”から“0”に立ち下がりダウンロードが終了したことを見せる。なお、図中に示すデータD0は必要のない不定のデータを示している。

(アップロード時)

まず、LSI部1のスキャンレジスタの内部状態を読み出してメモリ10にアップロードする。そのため、スキャンコントローラ30は(スキャンレジスタ数+1)をメモリアドレスとして出力し、メモリ10に与える。その後、メモリアドレスが1になるまで、毎クロックカウントダウンする。この時、セレクタ21はLSI部1のスキャンアウトSOUT側をセレクトしている。更に、スキャンコントローラはLSI部1にスキャンクロックを与える。

この結果、LSI部1から順次出力されてレジスタ3に入ったデータは、メモリ10のデータ入力INから順にメモリ10内に書き込まれていく。

このメモリに初期値を設定してLSI部にダウンロードし、LSI部のスキャンレジスタの内容をこのメモリにアップロードすることにより、スキャンレジスタ回路からのデータの高速読み出し及びスキャンレジスタ回路への高速書き込みが行えるようになることができる。アクセスするデータの数をN、スキャンレジスタの数をSとして、従来方式のアクセス時間が $N + N \times (S + 1)$ となるのに比較して、本発明によれば、 $N + S + 1$ となる。例えば、：1000個のスキャンレジスタ(S=1000)からなるLSIの100個のスキャンレジスタのデータ(N=100)にアクセスするすれば、従来方式に比して91倍の高速化が達成されることになる。

4. 図面の簡単な説明

第1図は本発明の原理ブロック図、

第2図は本発明の一実施例を示す構成ブロック図、

第3図は各部の動作を示すタイムチャート、

第4図は従来方式の構成ブロック図である。

スキャンが一巡すると、メモリ10にはLSI部1のスキャンレジスタに入っていた全てのデータがメモリに移されたことになる。メモリ10に入ったデータは、必要に応じて任意のアドレスのデータをデータ出力として読み出すことができる。

第3図(ロ)はアップロード時のタイムチャートで、スキャンレジスタがSR1～SR4の4個の場合を例にとっている。(ホ)に示すスキャンクロックに同期してメモリアドレスが(イ)に示すように5, 4, 3, 2, 1と変化すると、LSI部1から読み出されたデータは(ロ)に示すようにX, D4, D3, D2, D1とレジスタ3にセットされる。ここで、Xは不定データを示している。レジスタ3にセットされたデータは、(ハ)に示すライトイネーブル信号WEによりメモリ10の対応するアドレスに書き込まれる。

【発明の効果】

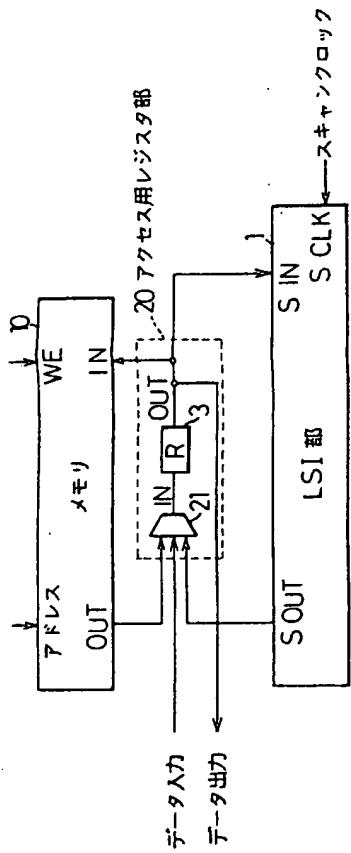
以上、詳細に説明したように、本発明によればLSI部と同等以上の容量を持つメモリを用意し、

第1図において、

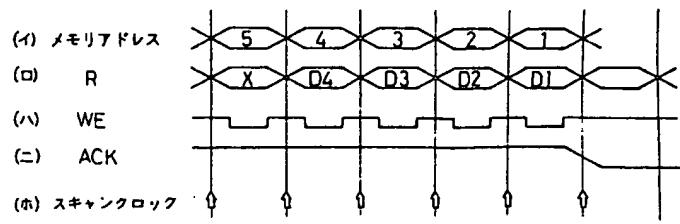
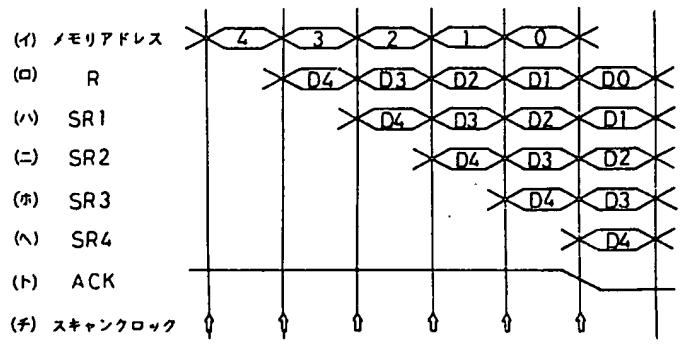
1はLSI部、
3はレジスタ、
10はメモリ、
20はアクセス用レジスタ部、
21はセレクタである。

特許出願人　富士通株式会社

代理人　弁理士　井島藤治
外1名

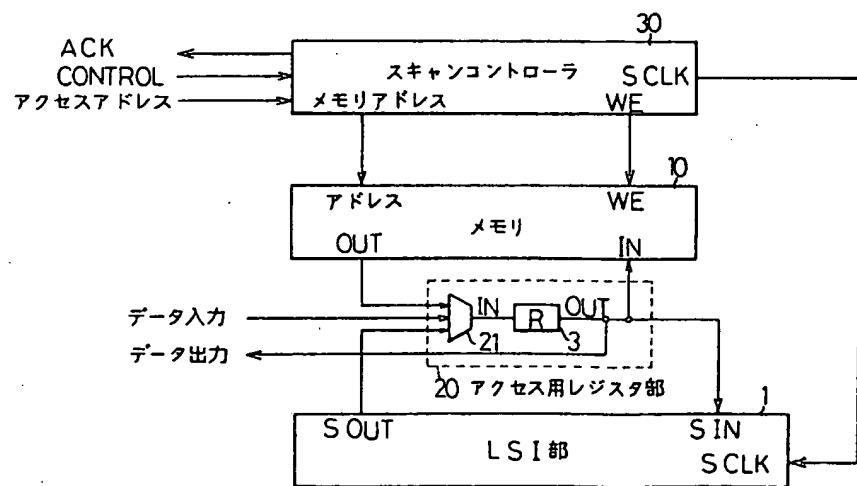


本発明の原理ブロック図
第1図



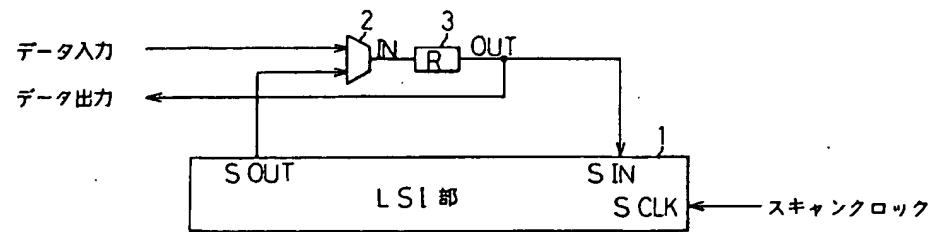
各部の動作を示すタイムチャート

第3図



本発明の一実施例を示す構成ブロック図

第2図



従来方式の構成ブロック図

第 4 図

PAT-NO: JP403103778A

DOCUMENT-IDENTIFIER: JP 03103778 A

TITLE: SCAN CIRCUIT ACCESS DEVICE

PUBN-DATE: April 30, 1991

INVENTOR-INFORMATION:

NAME

SHINDO, TATSUYA

SHIBUYA, TOSHIYUKI

INT-CL (IPC): G01R031/28, G06F011/22

US-CL-CURRENT: 714/726, 714/FOR.100

ABSTRACT:

PURPOSE: To enable fast reading to and fast writing from scan registers circuit by setting an initial value in a memory, loading it in an LSI part, and saving the contents of the scan registers in the memory.

CONSTITUTION: A scan controller (SC)30 supplies a memory address latched in the internal register to the memory 10 and initial values are written in respective addresses of the memory 10 corresponding to respective scan registers(SR). Then the SC 30 outputs the number of the SR as a memory address to read the contents of the memory 10 and loads data for initialization in the SRs of the LSI part. When the SRs are read, the SC 30 supplies (number of SRs plus 1) as a memory address to the memory 10 to read out the internal states of the SRs and save them in the memory 10. Consequently, the fast read from the SRs and the fast write to the SRs become possible.

COPYRIGHT: (C)1991,JPO&Japio